

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of: )  
CRIPPA ET AL. )  
Serial No. 10/748,701 )  
Confirmation No. 2136 )  
Filing Date: December 30, 2003 )  
For: STABILIZATION METHOD OF THE )  
DRAIN VOLTAGE IN NON-VOLATILE )  
MULTI-LEVEL MEMORY CELLS AND )  
RELATING MEMORY DEVICE )

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

MS Missing Parts  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Sir:

Transmitted herewith is a certified copy of the  
priority European Application No. 02425801.4.

Respectfully submitted,

JOHN F. WOODSON, II  
Reg. No. 45,236  
Allen, Dyer, Doppelt, Milbrath  
& Gilchrist, P.A.  
255 S. Orange Avenue, Suite 1401  
Post Office Box 3791  
Orlando, Florida 32802  
Telephone: 407/841-2330  
Fax: 407/841-2343  
Attorney for Applicants

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being  
deposited with the United States Postal Service as first class  
mail in an envelope addressed to: MS Missing Parts,  
Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-  
1450, on this 16<sup>th</sup> day of June, 2004.

**THIS PAGE BLANK (USPTO)**



**Europäisches  
Patentamt**

**European  
Patent Office**

**Office européen  
des brevets**

**Bescheinigung**

**Certificate**

**Attestation**

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

**Patentanmeldung Nr.    Patent application No.    Demande de brevet n°**

02425801.4

Der Präsident des Europäischen Patentamts;  
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets  
p.o.

**R C van Dijk**

**THIS PAGE BLANK (USPTO)**



Anmeldung Nr.:  
Application no.: 02425801.4  
Demande no:

Anmeldetag:  
Date of filing: 30.12.02  
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.  
Via C. Olivetti, 2  
20041 Agrate Brianza (Milano)  
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:  
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.  
If no title is shown please refer to the description.  
Si aucun titre n'est indiqué se référer à la description.)

Stabilisation method of the drain voltage in non-volatile multilevel memory cells  
and relating memory device

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)  
revendiquée(s)

Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/  
Classification internationale des brevets:

G11C/

Am Anmeldetag benannte Vertragsstaaten/Contracting states designated at date of  
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL  
PT SE SI SK TR

**THIS PAGE BLANK (USPTO)**



TITOLO: Metodo di stabilizzazione della tensione di drain in celle di memoria non volatili multilivello e relativo dispositivo di memoria.

## DESCRIZIONE

### Campo di applicazione

- 5 La presente invenzione fa riferimento ad un metodo di stabilizzazione della tensione di drain in celle di memoria non volatili multilivello.

L'invenzione riguarda anche un dispositivo elettronico di memoria strutturato per l'attuazione del suddetto metodo.

- 10 Più in particolare, l'invenzione riguarda un dispositivo elettronico di memoria non volatile multilivello integrato monoliticamente su semiconduttore e comprendente un circuito di programmazione associato ad una matrice di celle di memoria non volatile ciascuna dotata di almeno un transistor a porta flottante con relativi terminali di source , drain, gate, ciascun circuito di programmazione incorporando
- 15 un regolatore di tensione di drain avente un'uscita collegata ai terminali di drain delle celle in un comune nodo circuitale e mediante un percorso di conduzione a linea di metal avente una resistenza intrinseca parassita.

- 20 Ancora più in generale, l'invenzione riguarda un metodo di stabilizzazione della tensione ai capi di un carico tra una pluralità di carichi associati ad una linea di alimentazione e attivi uno alla volta, del tipo in cui l'applicazione di detta tensione è prevista mediante un regolatore di tensione avente un'uscita collegata ai carichi tramite detta linea di alimentazione ed una pluralità di resistenze di routing associate
- 25 ciascuna ad un corrispondente carico.

### Arte nota

Com'è ben noto in questo specifico settore tecnico, durante la fase di programmazione di una cella di memoria Flash, è importante fissare la tensione applicata ai suoi terminali (Gate Source Drain e Body).

Nell'ambito di memorie flash multilivello, dove la cella viene programmata a differenti valori di tensione di soglia, la stabilità dei nodi diventa una questione ancora più critica.

5 Consideriamo dapprima il caso semplice di una programmazione di una cella multilivello a due bit per cella, vale a dire una cella a due livelli con quattro possibili combinazioni valori logici memorizzabili.

Nella qui allegata figura 1 vengono mostrate le distribuzioni dei quattro differenti stati di programmazione di questa cella, ovvero le distribuzioni dei suoi possibili valori di tensione di soglia.

10 La fase di programmazione di una cella Flash è sempre preceduta da una fase di cancellazione; di conseguenza, all'inizio la cella viene portata nello stato "11", quello con soglia più bassa.

15 L'algoritmo di programmazione può essere suddiviso in n fasi praticamente identiche. Nella prima parte di ognuna di queste fasi la cella di memoria Flash viene polarizzata mantenendo il nodo di Drain a un valore fisso di tensione (tipicamente +4V), il nodo di Source a massa e il Body a un valore fisso negativo (tipicamente -1,2V).

20 Il nodo di Gate viene inizialmente posto ad una tensione di 1,5V, per poi essere incrementato a step successivi (ad esempio) di 300mV ad ogni successiva fase. Questo porta ad un incremento a gradini nella tensione di soglia della cella, come indicato nella Fig.1.

25 Nella seconda parte di ogni singola fase di programmazione viene verificato lo stato della cella mediante una operazione di lettura (verify); se la cella non si è portata nella distribuzione voluta, si ripete l'operazione incrementando, la tensione di gate. Se, invece, la tensione di soglia della cella si è portata nella distribuzione voluta, la programmazione termina.

30 In realtà la fase di programmazione non coinvolge una sola cella, ma si applica ad un certo numero di celle in parallelo. Quando una o più di queste celle raggiunge il valore di soglia desiderato (cioè si porta nella distribuzione di soglia voluta), vengono "escluse" dalla successiva fase

di programmazione che prosegue solo per le rimanenti celle che devono ancora raggiungere lo stato predefinito.

5 Nei dispositivi di memoria di più recente realizzazione la fase di programmazione coinvolge circa settanta celle in parallelo, le quali rappresentano un carico di corrente variabile per il regolatore di tensione di drain durante le diverse fasi di programmazione.

10 In effetti, il variare della tensione di soglia e della tensione di gate applicata provocano un diverso assorbimento di corrente da parte delle celle di memoria; inoltre, quando le celle hanno raggiunto lo stato voluto, vengono sconnesse tramite un transistor di program load, ad esempio come illustrato nello schema elettrico di Figura 2.

Si può dunque comprendere che il regolatore di tensione dei drain delle celle, nelle diverse fasi della programmazione, deve fornire un valore di tensione costante ma in differenti condizioni di carico di corrente.

15 La tensione di drain VPD (+4V) è derivata dalla tensione di riferimento di Band Gap (VBG) secondo la seguente relazione:

$$V_{PD} = V_{BG} \cdot \left( 1 + \frac{R_f}{R_g} \right)$$

che esprime il guadagno di un amplificatore di tensione reazionato, in configurazione non-invertente.

20 Il regolatore di drain, per esigenze di layout, può trovarsi ad una certa distanza dai transistori di programm load (PL). La linea di metal di interconnessione che porta la tensione regolata VPD fino a tali transistori, introduce una resistenza parassita, quantificabile in qualche decina di ohm. Considerando che ogni cella di memoria può assorbire una corrente di drain di circa 60µA, con settanta celle in  
25 programmazione la corrente totale può arrivare fino a 4mA.

Se ipotizziamo di avere una resistenza parassita Rpars di metal pari a

25Ω come mostrato in figura 3, la caduta di tensione sulle metal può arrivare fino a 100mV.

5 Poiché le celle che sono giunte nella appropriata distribuzione vengono sconnesse dalla tensione regolata VPD, le celle su cui si prosegue la fase di programmazione possono trovarsi una tensione di drain variata proprio di +100mV, nel caso limite.

10 In figura 4 sono rappresentate schematicamente alcune curve caratteristiche che illustrano la variazione della tensione di soglia in fase di programmazione in funzione di diversi valori di tensione di drain. Il diagramma di figura 4 riporta in ascisse la tensione di gate e in ordinate la tensione di soglia.

15 Se la tensione di drain è costante durante tutti gli step di programmazione, la variazione della tensione di soglia della cella segue una di queste caratteristiche. Se invece la tensione di drain varia durante la programmazione, la variazione della tensione di soglia trasla su un'altra caratteristica.

20 Ciò si traduce in un salto di soglia più grande e in un allargamento delle distribuzioni di figura 1 con conseguente diminuzione del margine di rumore in lettura, o nel caso peggiore in veri e propri fallimenti dovuto ad un eccessivo allargamento delle distribuzioni.

25 Il problema tecnico che sta alla base della presente invenzione è quello di escogitare un metodo di stabilizzazione della tensione di drain ed un relativo dispositivo di memoria non volatile aventi rispettive caratteristiche funzionali e strutturali tali da migliorare la stabilità della tensione di drain delle celle Flash evitando però l'utilizzo di regolatori di tensione localizzati vicino ai drain delle celle. Per quanto visto in precedenza, la tensione di drain risulta influenzata dalla variazione dall'assorbimento di corrente durante le diverse fasi di programmazione.

#### Sommario dell'invenzione

30 L'idea di soluzione che sta alla base della presente invenzione è quella di prelevare il potenziale di retroazione del regolatore di tensione in

corrispondenza dei transistori di Program Load e non più all'uscita del regolatore, in questo modo si rende la tensione sul nodo di carico indipendente dalla resistenza parassita sulla linea di metal e dal carico di corrente variabile.

- 5 Sulla base di questa idea di soluzione il problema tecnico è risolto da un metodo del tipo precedentemente indicato e definito dalla parte caratterizzante delle rivendicazioni 1 e 5.

Il problema tecnico è risolto anche da un dispositivo elettronico di memoria definito dalla parte caratterizzante della rivendicazione 7.

- 10 Le caratteristiche ed i vantaggi del metodo e del dispositivo secondo l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di un loro esempio di attuazione dato a titolo indicativo e non limitativo con riferimento ai disegni allegati.

#### Breve descrizione dei disegni

- 15 - la figura 1 mostra schematicamente un diagramma comparativo tra la distribuzione della tensione di soglia in una convenzionale cella di memoria bilivello a due bit per cella;
- la figura 2 mostra una vista schematica di un circuito noto di programmazione di tipo program load;
- 20 - la figura 3 mostra in un diagramma tensione/tensione alcune curve caratteristiche di una cella di memoria multilivello;
- la figura 4 mostra gli andamenti delle curve caratteristiche delle tensioni di soglia in funzione delle tensioni di drain;
- la figura 5 mostra una vista schematica di principio di un primo  
25 esempio di realizzazione del dispositivo secondo l'invenzione;
- la figura 6 mostra una vista schematica di un secondo esempio di realizzazione del dispositivo secondo l'invenzione;
- le figure 7A e 7B mostrano rispettive viste schematiche del layout  
30 circuitale di un dispositivo realizzato in accordo con l'arte nota e secondo la presente invenzione;

- le figure 8A, 8B e 8C mostrano rispettivi su diagrammi in funzione del tempo l'evoluzione di segnali in tensione e corrente nel dispositivo secondo l'invenzione confrontati con un dispositivo di tipo noto;
- 5    - le figure 9A, 9B, 9C e 9D mostrano rispettive viste schematiche di un esempio di applicazione del metodo secondo l'invenzione ad una pluralità di carichi distribuiti lungo una linea resistiva.

#### Descrizione dettagliata

10    Con riferimento a tali figure, e in particolare agli esempi delle figure 5 e 6, con 1 è globalmente e schematicamente indicata una porzione circuitale 1 di un dispositivo elettronico di memoria realizzato in accordo con la presente invenzione.

15    La porzione circuitale 1 è destinata a regolare localmente i valori delle tensioni sui terminali di drain di celle 3 di memoria non volatili multilivello durante la loro fase di programmazione. Più in particolare, la porzione circuitale 1 si riferisce ad un regolatore 2 di drain connesso ad un nodo circuitale A di carico mediante una linea di metal 4.

20    Al nodo circuitale A fanno capo le colonne della matrice di memoria, vale a dire i terminali di drain delle celle 3 di memoria, con iniziale interposizione di un transistor di PL program load.

25    Per dispositivo di memoria si intende un qualunque sistema elettronico monolitico incorporante una matrice di celle di memoria, organizzate in righe e colonne, e porzioni circuitali associate alla matrice di celle e preposte alle funzioni di indirizzamento, di decodifica, di lettura, scrittura e cancellazione del contenuto delle celle di memoria.

Un dispositivo di questo genere può essere ad esempio un chip di memoria integrato su semiconduttore e del tipo Flash EEPROM non volatile suddivisa in settori e cancellabile elettricamente.

30    Ciascuna cella di memoria multilivello comprende un transistor a floating gate con terminali di source S, drain D e control gate G.

Tra le porzioni circuitali associate alla matrice di celle è prevista la presenza dei circuiti di programmazione, ciascuno dei quali è

alimentato da una specifica tensione di alimentazione generata internamente al circuito integrato di memoria e regolata tramite il suddetto regolatore 2 di tensione di drain.

5 In accordo con la presente invenzione è stato previsto di connettere in retroazione il suddetto nodo A con un ingresso del regolatore 2. In questo modo la resistenza parassita  $R_{\text{pars}}$  presente sulla linea di metal risulta sostanzialmente incorporata all'interno dell'anello di retroazione.

10 Un primo esempio di soluzione secondo l'invenzione prevede che il regolatore 2 di tensione di drain, collegato in uscita al nodo A mediante la linea di metal 4, abbia un ingresso collegato in retroazione allo stesso nodo A.

Sul percorso 5 di retroazione sono indicate una prima resistenza  $R_f$ , di guadagno, ed una seconda resistenza  $R_{\text{parf}}$  che rappresenta la resistenza parassita della linea 5 di metal di retroazione.

15 La serie delle resistenze  $R_f$  e  $R_{\text{parf}}$  è dunque un valore resistivo che possiamo attribuire a questo collegamento in retroazione.

L'ingresso del regolatore 2 interessato alla retroazione è l'ingresso invertente (-); l'altro ingresso è mantenuto ad un riferimento stabile di tensione, ad esempio una tensione di bandgap  $V_{\text{bg}}$ .

20 Questa configurazione rende la tensione del nodo A indipendente dal valore della resistenza parassita  $R_{\text{pars}}$  e quindi dal carico di corrente variabile.

25 Vantaggiosamente, dunque, il nodo di retroazione non viene più prelevato come nell'arte nota all'uscita del regolatore 2, bensì nei pressi dei transistori PL di program load. In questo modo la resistenza parassita  $R_{\text{pars}}$  di interconnessione viene inglobata all'interno dell'anello di retroazione.

30 Inoltre, poiché all'ingresso invertente dell'amplificatore non viene più retroazionato il nodo OUT ma il nodo A, questo accorgimento consente di mantenere su tale nodo A un valore di tensione regolato a 4V.

Infatti non è importante avere la tensione regolata a 4V all'uscita del regolatore 2 di tensione, bensì sul nodo A di carico. Il nodo OUT risulta

quindi regolato dalla retroazione per ottenere i 4V sul nodo A.

Il nodo OUT si muoverà in funzione della corrente del carico secondo la seguente relazione:

$$V_{OUT} = I_{load} * R_{par} + V_{NODOA}$$

Mentre la tensione sul nodo A rispetta la seguente formula:

$$V_{nodoA} = V_{BG} \cdot \left( 1 + \frac{R_f + R_{parf}}{R_g} \right)$$

- 5     dove Rparf rappresenta la resistenza parassita della linea 5 di metal di retroazione dell'ordine delle centinaia di ohm, e può anche essere trascurata se Rf è abbastanza grande.

- 10    Questa resistenza parassita Rparf, una volta stimata, non produce variazioni di tensione del nodo A perché in questa resistenza non scorre la corrente del carico.

Ora, con particolare riferimento all'esempio di figura 6, viene descritta una variante di realizzazione rientrando però nei principi della presente invenzione.

- 15    In questo secondo esempio di realizzazione è previsto l'inserimento di un buffer 7 a guadagno unitario, ad esempio del tipo Voltage Follower, immediatamente a valle del regolatore 2 di tensione di drain.

- 20    Questa seconda soluzione, pur mantenendo i vantaggi della soluzione precedente, ha l'ulteriore vantaggio di eliminare completamente anche l'effetto della resistenza parassita Rparf della linea 5 di metal di retroazione.

Il nodo di retroazione A è preso ancora a valle della resistenza Rpars e non all'uscita del regolatore 2.

Questa configurazione mantiene la tensione a monte dei transistori di Program Load esattamente uguale alla tensione VPD in ingresso al



buffer 7, e il guadagno (unitario) di quest'ultimo non è influenzato dalla presenza della resistenza  $R_{parf}$ .

5 Nelle figure 7A e 7B sono riportati gli schemi elettrici di dettaglio di una soluzione nota, ad esempio quella schematica di figura 2, e della soluzione secondo l'invenzione, ad esempio quella schematica di figura 5.

10 In riferimento alle figure 7A e 7B, nelle figure 8A, 8B e 8C sono confrontabili tra loro gli andamenti dei valori di tensione in funzione del carico di corrente, con la soluzione nota (linea tratteggiata) e quella dell'invenzione (linea continua).

15 Il metodo ed il dispositivo secondo l'invenzione sono particolarmente efficaci in tutte quelle situazioni in cui si ha la necessità di alimentare con tensioni regolate costanti una pluralità di carichi facenti capo ad una medesima linea resistiva, non necessariamente celle di memoria connesse ad una medesima linea di metal.

20 Supponiamo ad esempio di trovarci in una situazione come quella illustrata in figura 9A, nella quale si ha la necessità di alimentare con tensioni  $V_{REF}$  diverse alcune sorgenti di carico  $L_0, L_1, \dots, L_N$ , distanziate l'una dall'altra, e quindi con diverse resistenze di routing associate  $R_{pars0}, R_{pars1}, \dots, R_{parsN}$ .

In questo caso la linea 4 è una linea di alimentazione che parte dall'uscita del regolatore 2 distribuisce la tensione ai carichi attraverso le suddette resistenze di routing  $R_{pars0}, R_{pars1}, \dots, R_{parsN}$  associate a ciascun carico.

25 Il nodo indicato con F in prossimità del carico più lontano dal regolatore è il nodo da utilizzare per il collegamento 5 in retroazione del regolatore 2.

30 Supponiamo ancora che un solo un carico, ad esempio  $L_1$ , assorba corrente, mentre gli altri siano spenti o presentino una corrente assorbita nulla. Sul nodo A collegato a  $L_1$  si ha la tensione  $V_{REF}$  voluta; infatti, a destra del nodo A non si ha assorbimento di corrente in

quanto i generatori di corrente a destra sono spenti. Inoltre, l'ingresso invertente del regolatore 2 è ad alta impedenza in quanto è normalmente realizzato mediante il terminale di gate di un transistor MOS.

- 5 Se ora viene disattivato il carico L1, e viene nel contempo abilitato un altro carico, ad esempio L4, la tensione VREF si porta sul nodo a cui è connesso il carico L4, indicato in figura 9C ancora come nodo A.

In sostanza, la tensione alimentata a ciascun singolo carico rimane stabile a fronte di variazioni del carico di volta in volta operativo.

- 10 In conclusione, il metodo ed il circuito di programmazione secondo l'invenzione risolvono il problema tecnico e consentono di stabilizzare le tensioni ai terminali di drain delle celle di memoria durante le fasi di programmazione di memorie Flash multilivello.

- 15 Inoltre, la soluzione precedentemente illustrata, agendo in maniera da mantenere stabile il valore di tali tensioni in programmazione, consente che gli impulsi di gate applicati durante l'algoritmo di programmazione realizzino effettivamente un salto di tensione di soglia costante per ogni impulso con qualsiasi tipo di pattern di programmazione.

## RIVENDICAZIONI

1. Metodo di stabilizzazione della tensione sui terminali di drain in celle (3) di memoria non volatili multilivello in fase di programmazione, del tipo in cui l'applicazione di detta tensione è prevista mediante un regolatore (2) di tensione di drain avente un'uscita (OUT) collegata a detti terminali in un comune nodo (A) circuitale mediante un percorso di conduzione a linea (4) di metal avente una resistenza intrinseca parassita ( $R_{\text{pars}}$ ), caratterizzato dal fatto di prevedere un percorso di retroazione (5) tra detto nodo (A) ed un ingresso del regolatore (2).  
5
2. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che su detto percorso di retroazione (5) è presente una resistenza ( $R_f$ ) ed un resistenza intrinseca parassita ( $R_{\text{parf}}$ ) di valore trascurabile.
3. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che detto ingresso del regolatore (2) è l'ingresso invertente (-).  
15
4. Metodo secondo la rivendicazione 1, caratterizzato dal fatto di prevedere un buffer (7) inserito tra detta uscita (OUT) del regolatore è detto nodo (A), nonché un percorso di retroazione (5) tra detto nodo (A) ed un ingresso di detto buffer (7).
5. Metodo di stabilizzazione della tensione ai capi di un carico ( $L_i$ ) tra una pluralità di carichi ( $L_0, L_1, \dots, L_n$ ) associati ad una linea (4) di alimentazione e attivi uno alla volta, del tipo in cui l'applicazione di detta tensione è prevista mediante un regolatore (2) di tensione avente un'uscita (OUT) collegata ai carichi tramite detta linea (4) di alimentazione ed una pluralità di resistenze ( $R_{\text{pars}0}, R_{\text{pars}1}, \dots, R_{\text{pars}N}$ ) di routing associate ciascuna ad un corrispondente carico ( $L_0, L_1, \dots, L_n$ ), caratterizzato dal fatto di prevedere un percorso di retroazione (5) tra un capo (F) del carico più lontano ( $L_n$ ) dal regolatore (2) ed un ingresso del regolatore (2) stesso.  
20  
25
6. Metodo secondo la rivendicazione 5, caratterizzato dal fatto che su detto percorso di retroazione (5) è presente solo una resistenza  
30

intrinseca parassita ( $R_{part}$ ) di valore trascurabile.

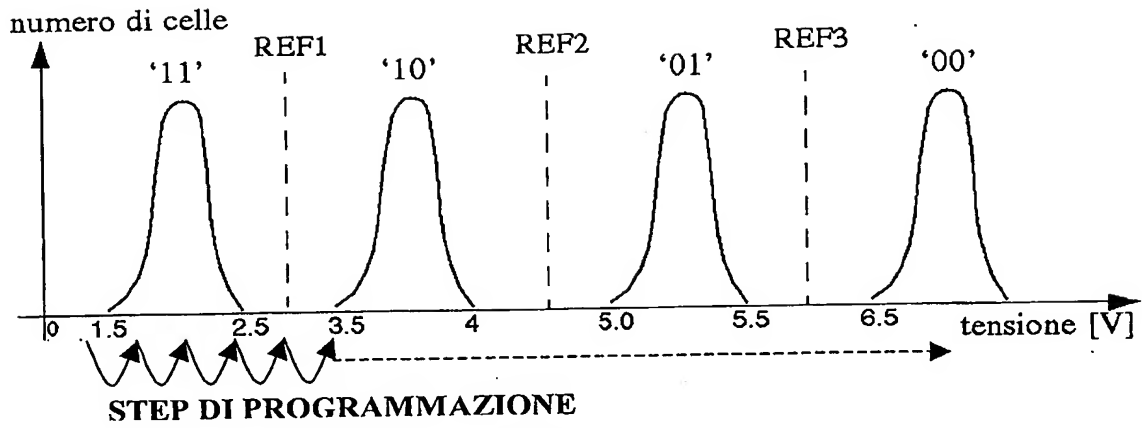
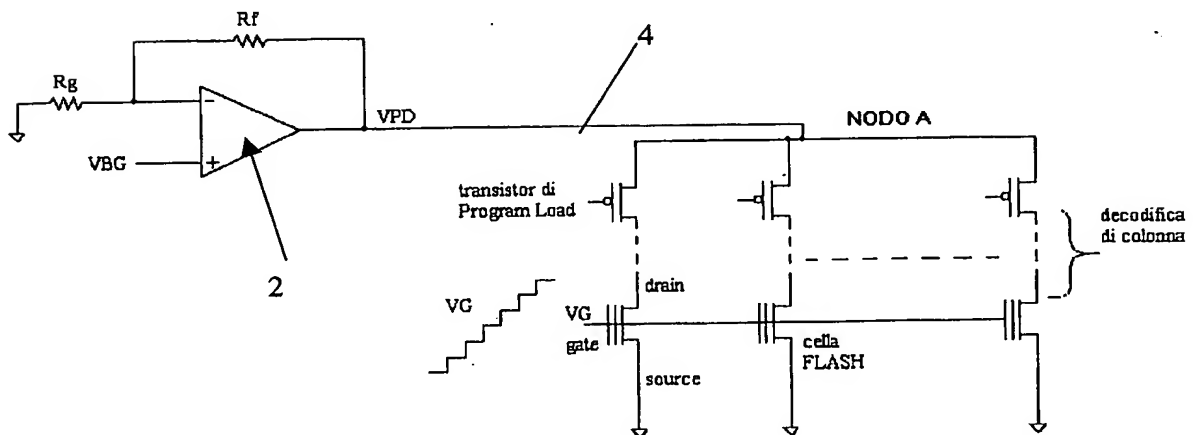
- 5      7.      Dispositivo elettronico di memoria non volatile multilivello integrato monoliticamente su semiconduttore e comprendente un circuito di programmazione associato ad una matrice di celle (3) di memoria non volatile ciascuna dotata di almeno un transistor a porta flottante con relativi terminali di source (S), drain (D), gate (G), ciascun circuito di programmazione incorporando un regolatore (2) di tensione di drain avente un'uscita (OUT) collegata ai terminali di drain (D) delle celle in un comune nodo (A) circuitale e mediante un percorso di conduzione a linea (4) di metal avente una resistenza intrinseca parassita ( $R_{pars}$ ), caratterizzato dal fatto di comprendere un percorso di retroazione (5) tra detto nodo (A) ed un ingresso del regolatore (2).
- 10
- 15      8.      Dispositivo secondo la rivendicazione 6, caratterizzato dal fatto che su detto percorso di retroazione (5) è presente una resistenza ( $R_f$ ) ed una resistenza intrinseca parassita ( $R_{part}$ ) di valore trascurabile.
9.      Dispositivo secondo la rivendicazione 6, caratterizzato dal fatto che detto ingresso del regolatore (2) è l'ingresso invertente (-).
- 20      10.      Dispositivo secondo la rivendicazione 6, caratterizzato dal fatto di prevedere un buffer (7) inserito tra detta uscita (OUT) del regolatore è detto nodo (A), nonché un percorso di retroazione (5) tra detto nodo (A) ed un ingresso di detto buffer (7)

## RIASSUNTO

La presente invenzione riguarda un metodo ed un dispositivo elettronico per stabilizzare la tensione sui terminali di drain in celle (3) di memoria non volatili multilivello in fase di programmazione. Il metodo è del tipo  
5 in cui l'applicazione di tale tensione è prevista mediante un regolatore (2) di tensione di drain avente un'uscita (OUT) collegata a detti terminali in un comune nodo (A) circuitale mediante un percorso di conduzione a linea (4) di metal avente una resistenza intrinseca parassita ( $R_{\text{pars}}$ ).  
10 Vantaggiosamente, è previsto un percorso di retroazione (5) tra il nodo (A) ed un ingresso del regolatore (2)

(Fig. 6)

**THIS PAGE BLANK (USPTO)**

**Fig. 1****Fig. 2**

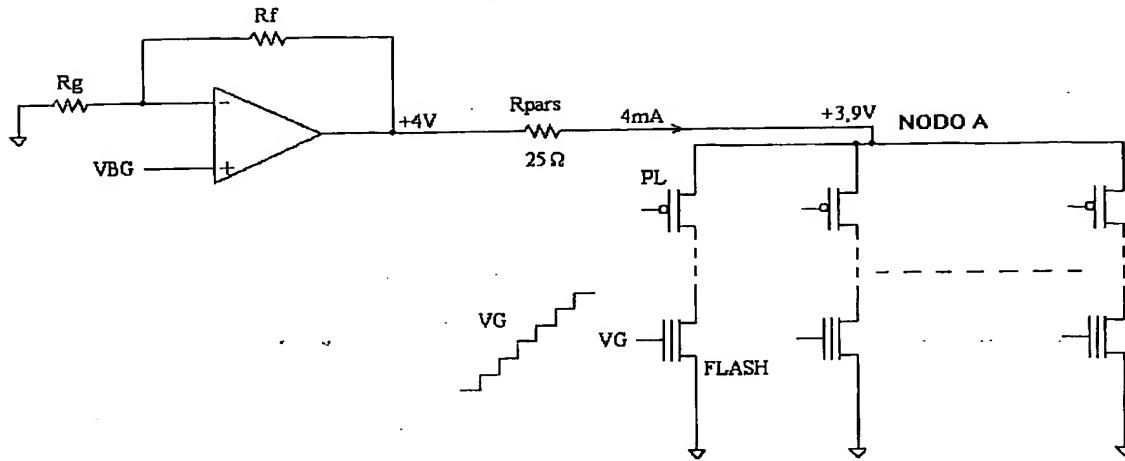


Fig. 3

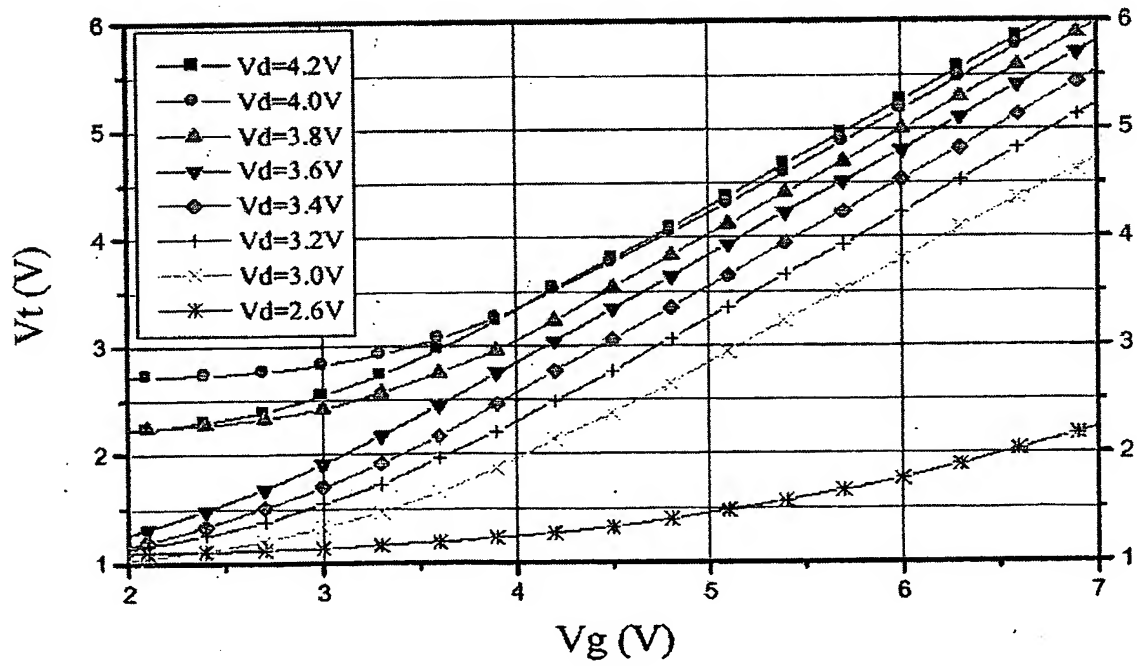


Fig. 4



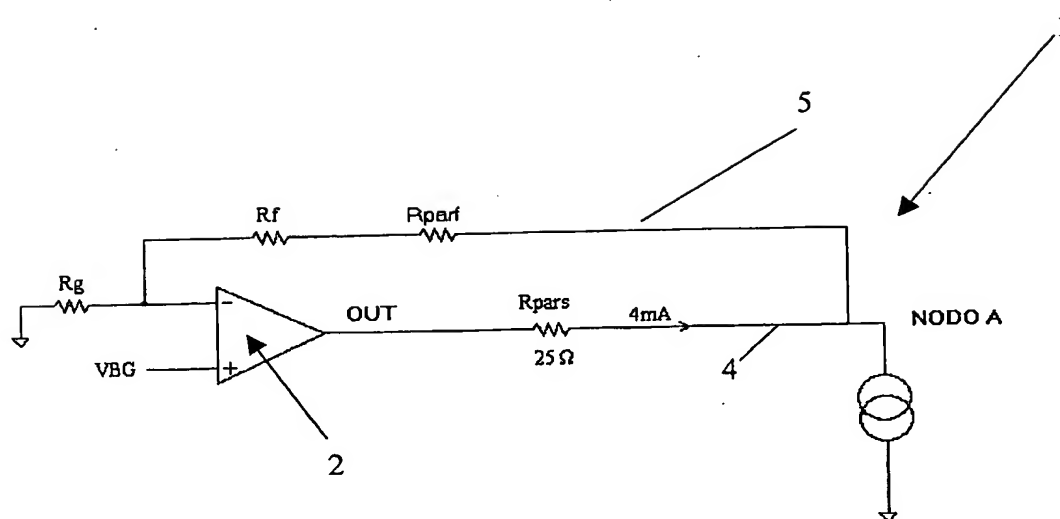


Fig. 5

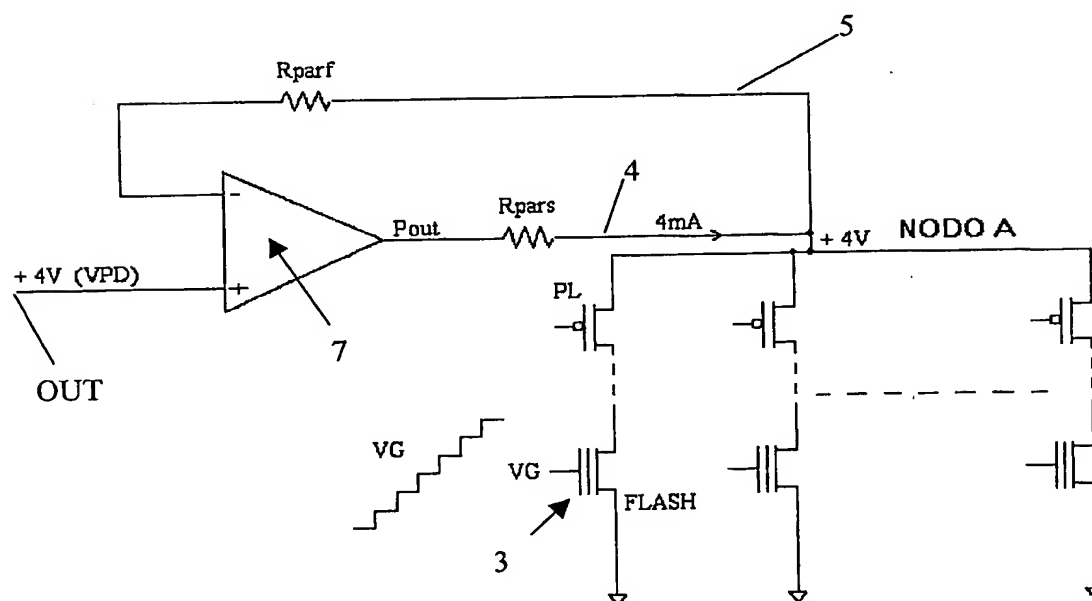
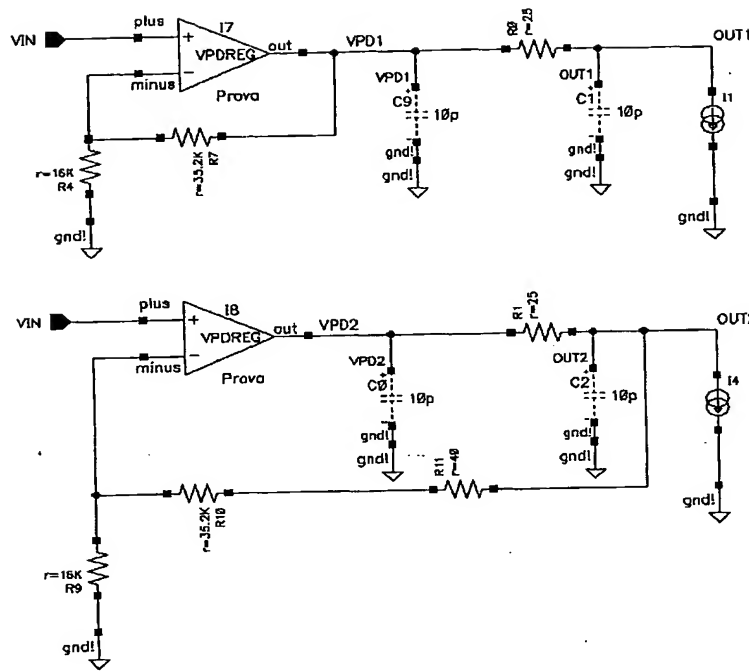
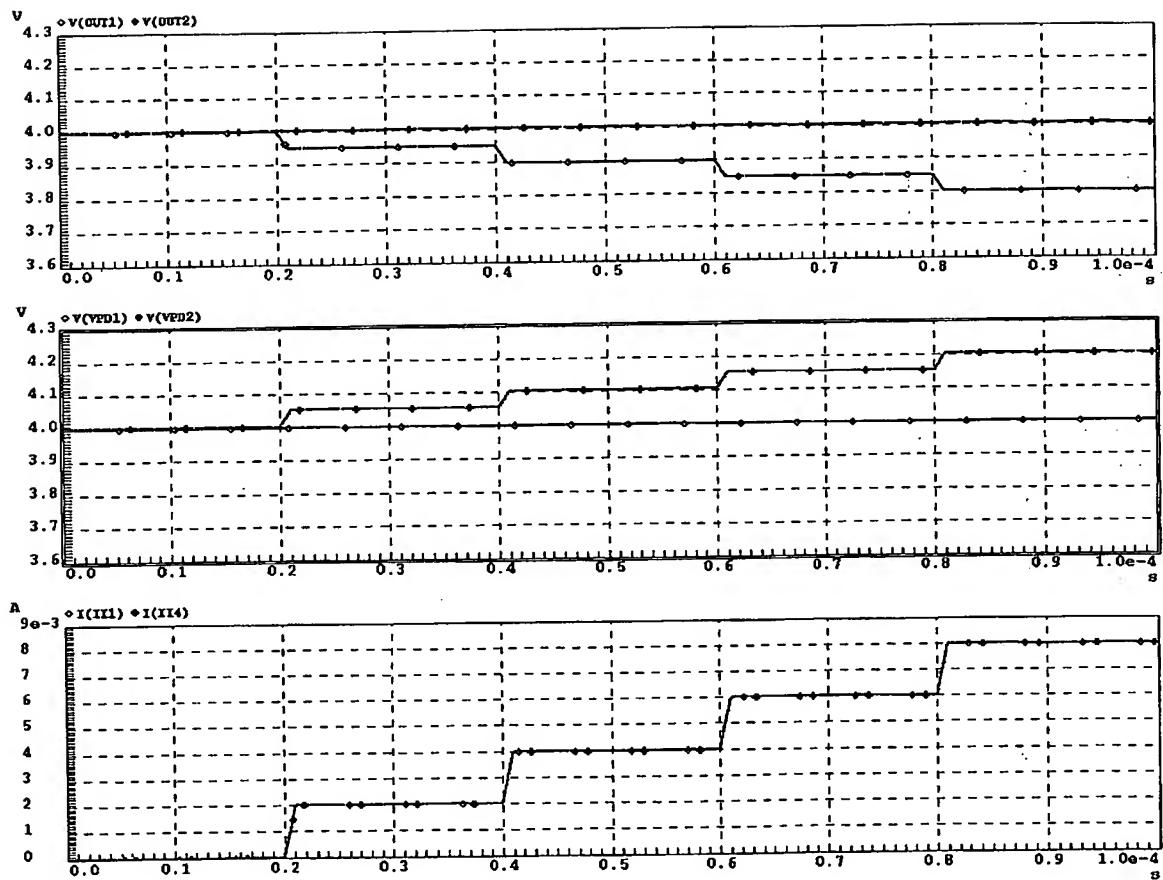


Fig. 6

**Fig. 7A****Fig. 7B**

**Fig 8A - Fig 8B - Fig 8C**

